



## NOUVEAUTE

# INTRODUCTION À LA CONCEPTION VHDL POUR CIBLE FPGA

## COMPÉTENCE PRINCIPALE VISÉE

- Appréhender une méthodologie dans la conception VHDL pour cibles FPGA

## OBJECTIFS PÉDAGOGIQUES

- Appréhender une méthodologie dans la conception VHDL pour cibles FPGA
- Maîtriser la conception VHDL et les phases de synthèse des architectures en électronique numérique complexe

## PUBLIC

- Ingénieurs et techniciens de bureaux d'études spécialisés dans la conception et le prototypage d'architectures en électronique numérique complexes, basées sur des cibles FPGA

## PRÉREQUIS

- Connaissances de base et expérience en conception électronique numérique souhaitables

## CONTENU

### PARTIE 1 - CONCEPTION

- Méthodologie de conception
- Décomposition modulaire
- Machines d'états

### PARTIE 2 - LE LANGAGE VHDL POUR LA SYNTHÈSE

- Types
- Unités de conception
- Simulations événementielles
- Présentations des plateformes FPGA Xilinx

### PARTIE 3 - LE LANGAGE VHDL ET LES STRUCTURES

- Instructions séquentielles et concurrentes
- Descriptions structurelles et comportementales
- Déploiement de la maquette de validation

### PARTIE 4 - LES COMPOSANTS PROGRAMMABLES

- CPLD / FPGA : Choisir un composant
- Travaux pratiques et programmation VHDL
- Prise en main d'un outil de simulation
- Prise en main d'un outil de synthèse VHDL
- Programmation d'une cible FPGA

### PARTIE 5 - COMPLÉMENTS DE VHDL ET SYNTHÈSE COMPORTEMENTALE

- Synthèse de machines à états
- Librairies IEEE
- Fonctions et procédures
- Synthèse partie opérative et partie contrôle
- Optimisation de la synthèse relativement à une cible et un cahier des charges donnés

## SESSIONS

**VILLEURBANNE** : du 04/06/2025 au 06/06/2025  
**Frais pédagogiques individuels** : 1 515 € H.T.

\* Repas inclus

L'ouverture de la session est conditionnée par un nombre minimum de participants.

## DURÉE

3 jours (21 heures)

## ÉQUIPE PÉDAGOGIQUE

Enseignants, enseignants-chercheurs du département Génie Electrique


## RENSEIGNEMENTS ET INSCRIPTION

Tel : +33 (0)4 72 43 83 93

Fax : +33 (0)4 72 44 34 24

mail : [formation@insavalor.fr](mailto:formation@insavalor.fr)

Préinscription sur [formation.insavalor.fr](http://formation.insavalor.fr)

 Accueil des personnes en situation de handicap nécessitant un besoin spécifique d'accompagnement : nous contacter à l'inscription



## MOYENS ET MÉTHODE PÉDAGOGIQUE

Alternance de cours et de travaux pratiques sur PC équipés d'outils de CAO électronique de simulation et de synthèse. Approfondissement par des exemples de conception d'architectures VHDL.

Synthèse logique et programmation de FPGA de Xilinx avec l'outil ISE.

Utilisation de modules de programmation via JTAG de FPGA "starter kit" SPARTAN 3.

## ÉVALUATION ET RÉSULTATS

### Évaluation des acquis de la formation

Évaluation des acquis des apprenants par auto-examen

### Taux de réussite

77% des apprenants ont acquis la compétence principale visée

Résultat obtenu pour 141 participants évalués ayant suivi une formation dans la thématique sur les 5 dernières années

### Évaluation de la satisfaction

Évaluation du ressenti des participants en fin de formation (Niveau 1 KIRKPATRICK)

### Résultats de l'évaluation

Le niveau de satisfaction globale est évalué à 4.4/5 par les participants.

Évaluations réalisées auprès des 323 participants ayant suivi une formation dans la thématique sur les 5 dernières années